

PAT-NO: JP360200559A

DOCUMENT-IDENTIFIER: JP 60200559 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: October 11, 1985

INVENTOR-INFORMATION:

NAME

SUGANO, TOSHIO

OOKUBO, CHIKAO

TSUKUI, SEIICHIRO

YAMAURA, SHUICHI

FUJII, YASUHIKO

TADA, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI MICRO COMPUT ENG LTD

N/A

HITACHI TOBU SEMICONDUCTOR LTD

N/A

APPL-NO: JP59056112

APPL-DATE: March 26, 1984

INT-CL (IPC): H01L025/04

US-CL-CURRENT: 257/E25.023

ABSTRACT:

PURPOSE: To perform mounting of semiconductor device parts in high density by on both side surfaces of a mounting substrate so that the same external connecting terminals are disposed symmetrical at the acute surfaces.

CONSTITUTION: The terminal A of a lead 5 of a package 29 of a normal pattern is soldered to a conductor 32 on the surface of the upper layer 31 of a mounting substrate 30, and a terminal B is soldered to a conductor 33 on the

surface of the layer 31. On the other hand, a package 34 of mirror pattern is mounted on the back surface of the substrate 30. The lead 27 of the package 34 is formed in a reverse direction, and a terminal soldered to a conductor 36 on the surface of the lower layer 35 of the substrate 30 becomes a terminal A common to the terminal A. Further, a terminal of the package 34 solder to a conductor 37 on the surface of the lower layer 35 of the substrate 30 is common to the terminal B. Thus, when the package 39 of the normal pattern and the package 34 of the mirror pattern are mounted on both side surfaces of the substrate 30, the same external connecting terminals of the parts 29, 34 of a semiconductor device is disposed at mirror-symmetrical position.

COPYRIGHT: (C)1985,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-200559

⑬ Int.Cl.⁴
H 01 L 25/04

識別記号 庁内整理番号
7638-5F

⑭ 公開 昭和60年(1985)10月11日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-56112

⑰ 出 願 昭59(1984)3月26日

⑱ 発 明 者 菅 野 利 夫 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 発 明 者 大 久 保 京 夫 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 小平市上水本町1479番地

㉒ 出 願 人 日立入間電子株式会社

㉓ 出 願 人 日立入間電子株式会社 埼玉県入間郡毛呂山町大字旭台15番地

㉔ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 実装基板の両面に、各半導体装置部品の同一外部接続端子が鏡面対称な位置にくるように、前記半導体装置部品を実装して成る半導体装置。

2. 半導体装置部品が、樹脂封止型半導体装置で、実装基板の片面に、外部接続端子を樹脂封止された半導体素子の表面側に折曲げた樹脂封止型半導体装置を実装し、実装基板のもう一方の面に、外部接続端子を樹脂封止された半導体素子の裏面側に折曲げた樹脂封止型半導体装置を実装して成る特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置に関し、特に、実装基板の両面に、半導体パッケージを実装する場合、当該基板の積層数や基板内配線の単純化などを図ることができる実装技術に関する。

〔背景技術〕

樹脂封止型半導体装置の構造としては第1図に示すようなものが周知である。

この構造の半導体装置は、第1図に示すようにタブ1の上に半導体ベレット(半導体チップ)2をマウントし、このチップ2のパッド3とコネクタワイヤ4の一端部とをボンディングし、コネクタワイヤ4の他端部を外部リード5の先端部にボンディングして、チップ2内の内部配線と接続したパッド3と外部リード5とを電気的に接続し、周知のトランスファーマールド法などにより、チップ2及びコネクタワイヤのボンディング部などを、樹脂封止体6により樹脂封止して成る。この従来から一般に広く提案されてきた、パッケージの両側にリードが配列されたデュアル・イン・ライン(DIL)タイプの半導体装置は、第1図に示すように、そのリード5が半導体チップ2から見えて、当該チップ2の裏面側すなわち半導体素子の形成されていない側の基板表面側に折曲げされており、当該リード5を、プリント基板などの実装基板に穿設された孔に挿入したり、あるいはリ

ード5の先端部を折曲げし、実装基板に半田付けしたりして、実装基板に実装されていた。

しかるに、このような半導体装置を複数個使用し、高密度実装を目的として実装基板の両面に実装を行おうとした場合、実装基板の表裏面に実装されたこれら半導体装置の同一機能を有する外部接続端子は対角線上にすなわちたすき掛けの位置にくるようになる。これを第2図に示す。第2図は、上記した半導体装置を実装基板の両面に各々1個ずつ実装して成る半導体装置の実装構造を示す。実装基板7の表面に実装された上記樹脂封止型半導体装置より成る実装部品8の当該多層に構成された実装基板7の最上層9の上に形成された導体部10に半田付されたリードすなわち外部接続端子5(以下端子Aという)と、一方実装基板7の裏面に実装された、同様に半導体チップ2の裏面側にリード5が折曲げられた樹脂封止型半導体装置より成る実装部品11の、実装基板7の最下層12表面に形成された導体部13に半田付けされたリード5の端子Aとは、第2図に示すよう

に、対角線上に位置することになる。同様に、実装部品8のリード5の、実装基板7の最上層9上に形成された導体部14に半田付けされた端子Bと、実装部品11のリード5の実装基板7の最下層12表面に形成された導体部15に半田付けされた端子Bとは、第2図に示すように対角線上に位置するようになる。

このように、従来装置を複数使用して実装基板の両面に実装する場合、実装基板の表裏面に実装された半導体装置の各々の同一機能を有する端子は、実装基板をはさんで鏡面对称の位置にくることはなく対角線上に位置することになり、例えば、第1図及び第2図で示す半導体チップ2が半導体記憶装置(以下メモリという)であるとした場合、これらを複数モジュール基板上に搭載して成るメモリモジュールにおいて、コントロールピン(端子)のみ独立にしてその他のピンは共通になっているものがあるが、上記のように実装基板(モジュール基板)の両面にメモリより成る半導体装置部品を実装する場合、第2図に示すように、実装基板

の表裏の関係では、絶対に同一ピンが実装基板を介して重なる位相にくることはない。

従って、このような例にあっては本発明者の検討によれば次のごとく不都合を生ずる。

(1) 配線が第2図に示すように複雑となる。すなわち、異なる半導体装置の端子Aと端子Aとを配線により結合する場合、先ず導体部10と実装基板7の最上層9内に垂設された配線部16とを接続し、次いでこの配線部16と実装基板7の内層17上面に形成された配線部18とを接続し、さらに、この配線部18と、実装基板7の内層17、内層19及び最下層12内に垂設された配線部20とを接続することにより、端子A端子Aとが配線されることになる。すなわち、端子Aと端子Aとを配線により接続する場合、実装基板7に、もう一層上記のように内層17を設け、当該内層17に配線部18を形成する必要がある。同様に、端子Bと端子Bとを配線により接続する場合、実装基板7にもう一層内層19を設け、この内層19下面に配線部21を形成し、導体部14

と接続した配線部22と当該配線部21の一端部を結線し、さらに、配線部21の他端部を導体部15と接続した配線部22により接続して、はじめて、実装基板7の表面側の実装部品8の端子Bと実装基板7の裏面側の実装部品11の端子Bとが配線されることになる。このように、従来例では実装基板における内部配線が極めて複雑になる。

(2) 上記のように、配線部18や配線部21を必要とするなどその配線本数が著しく増加するばかりでなく、これら配線部形成のための内層を必要とし、実装基板の積層数を多いものとする。又、第2図に示す構造のものにおいては、さらに、電源ラインを2つ必要とし、この面からも実装基板の積層数を多く必要とする。したがって、これにより装置の厚肉化、小型化を妨げることになる。

(3) 配線部18や配線部21が形成されているので、配線エリア内に何かレイアウトしようとしてもそれを妨げている。

(4) 配線部の長さが長く、したがって、配線抵抗や容量が大となる。

15) 配線本数や実装基板の積層数が多いことなどから、プロセスが煩雑であり、製品コストを高いものとしている。

16) 従来例にあっては、上記した事項などに基因して、高密度実装を実現しようとしてもその実現を困難なものとしている。

〔発明の目的〕

本発明はかかる従来技術の有する欠点を解消した、高密度実装を実現した半導体装置を提供することを目的としたものである。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、本発明では半導体実装装置を構成する半導体装置部品のリードを逆にフォーミングすることにより、共通端子が裏面鏡面対称位置にくるようにするものである。

されている。

この特異なパッケージは、半導体チップをタブの下面にダイボンディングする方法で製造してもよいが、リード折曲げの際に、従来とは異なり、逆方向に折曲げすることにより簡単に作ることができ、これの方が、製造プロセスの大幅な変更を要せず、リード整形機での折曲げに際し、例えば、ローラーで逆向きにリードを折曲げすればよいので、好都合である。

本発明では第1図に示すようなパッケージ（以下ノーマルパターンのパッケージという）と上記した本発明に係る第3図に示すようなパッケージ（以下ミラーパターンのパッケージという）をそれぞれ使用し、実装基板の片面側（例えば裏面側）にノーマルパターンのパッケージを実装したら、実装基板のもう一方の片面側（例えば表面側）にミラーパターンのパッケージを実装する。

第4図は、実装基板の表面にノーマルパターンのパッケージを実装し、実装基板の裏面にミラーパターンのパッケージを実装して成る実装装置の

〔実施例〕

本発明の実施例を第3図～第6図に基づいて説明する。

本発明では、実装基板の片面に実装する、半導体パッケージとして、第3図に示すような構造のものを用意する。

このパッケージは、第3図に示すように、タブ23面上に半導体チップ24をマウントし、このチップ24のパッド25とコネクタワイヤ26の一端部とをボンディングし、コネクタワイヤ26の他端部を外部リード（外部接続端子）27の端部にボンディングして、チップ24内の内部配線（図示せず）と接続したパッド25と外部リード27とを電気的に接続し、チップ24及びコネクタワイヤのボンディング部などを樹脂封止体28により樹脂封止して成る点、第1図に示す樹脂封止型半導体装置と同じである。第3図に示すように、このパッケージは外部リード27が半導体チップ24の表面側すなわち半導体素子の形成された側の半導体基板表面側にフォーミング（折曲げ）

構造例を示す。

第4図にて、29はノーマルパターンのパッケージで、このパッケージ29の、リード5の端子Aを実装基板30の上層31表面に形成された導体部32に半田付けする。又、パッケージ29のリード5端子Bを、実装基板30の上層31表面に形成された導体部33に半田付けする。

一方、実装基板30の裏面にミラーパターンのパッケージ34を実装するが、該パッケージのリード27は第3図に示すように逆向きにフォーミングされているので、このパッケージ34のリード27の、実装基板30の下層35表面に形成された導体部36に半田付けされた端子は、前記端子Aと共通する端子Aである。又、実装基板30の下層35表面に形成された導体部37に半田付けされた当該パッケージ34の端子は、前記端子Bと共通し、同一機能を有するものである。

したがって、第4図に示すように、ノーマルパターンのパッケージ29とミラーパターンのパッケージ34とを実装基板30の両面に実装すれば、

これら各半導体装置部品29, 34の同一外部接続端子は、鏡面対称の位置にくるようになる。次に、本発明の他の実施例を第5図及び第6図に基づいて説明する。

前記実施例では、実装基板の両面に、それぞれ1個ずつパッケージを実装する例を示したが、本発明は2個パッケージを実装する場合にとどまらず、ノーマルパターンパッケージを複数個実装基板の片面に実装し、ミラーパターンパッケージを複数個実装基板の他の面に実装することができる。

第5図は、実装基板38の裏面にノーマルパターンのパッケージ39, 40を2個実装し、実装基板38の裏面にミラーパターンのパッケージ41, 42を2個実装して成る半導体装置の実装構造の例を示しており、第6図には同平面図を図示した。

これら図において、43はパッケージの両側に複数配列されたリード(ピン)を示し、44はコントロールピンを示す。本発明に使用される実装基板は、例えばセラミック基板により構成される。

に実装される。したがって、第4図に示すように、実装基板30にスルホールなどを形成し、端子Aと端子Aとを実装基板30に垂設された配線部45により接続し、端子Bと端子Bとを同様に配線部46により接続すれば足り、従来例のごとく、殊更に、配線部18, 21で引き伸ばして内部配線を行う必要がない。それ故に、配線が極めて単純化される。

(2) 引き伸ばした内部配線の設置のために、実装基板の積層数を増加する必要がないので、実装基板(ボード)の層数が低減できる。したがって装置の薄肉化、小型化が可能である。

(3) 配線エリア内に余裕ができ、ボード設計上のレイアウトに制約をうけることがない。

(4) 配線が短縮化されるので、配線抵抗や容量を小さくすることができる。

(5) 配線数が従来例に比して少なく例えば約1/2位に小さくすることができ、実装基板の層数も低減できることなどから、プロセスを単純化し、製品コストを低減することができる。

樹脂により構成されるプリント基板などであってもよい。

ノーマルパターンのパッケージ及びミラーパターンパッケージを構成するリードは、例えば42アロイ合金により構成される。

半導体チップは例えばシリコン単結晶基板から成り、周知の技術によって、このチップ内には多数の回路素子(半導体素子)が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えばメモリや論理回路の回路機能が形成されている。コネクタワイヤは、例えばA線により構成される。樹脂封止体を構成する樹脂には、例えばエポキシ樹脂が使用される。実装基板の面に形成される導体部は、例えば銅箔により構成される。

〔効果〕

(1) ノーマルパターンのパッケージとミラーパターンのパッケージとを組合せ実装することにより、同一の外部接続端子が実装基板の鏡面対称な位置

(6) 高密度実装を実現できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その発明を逸脱しない範囲で種々変更可能であることはいうまでもない。

〔利用分野〕

以上の説明では主として本発明によってなされた発明をその背景となった利用分野である半導体装置の実装技術に適用した場合について説明したが、それに限定されるものではなく、例えば電子部品の実装技術などに適用できる。

図面の簡単な説明

第1図は従来例を示すノーマルパターンの半導体パッケージの断面図、

第2図は同パッケージ2個を使用して実装基板両面に実装して成る半導体装置の断面図、

第3図は本発明に使用されるミラーパターンの半導体パッケージの断面図、

第4図は本発明の実施例を示す断面図、

第5図は本発明の他の実施例を示す側面図、

第6図は同平面図である。

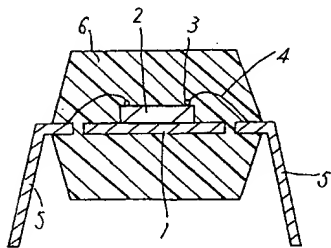
1…リードフレームのタブ、2…半導体チップ、3…チップ側パッド、4…コネクタワイヤ、5…外部リード、6…樹脂封止体、7…実装基板、8…実装部品、9…実装基板の最上層、10…導体部、11…実装部品、12…実装基板の最下層、13…導体部、14…導体部、15…導体部、16…配線部、17…実装基板の内層、18…配線部、19…実装基板の内層、20…配線部、21…配線部、22…配線部、23…タブ、24…半導体チップ、25…パッド、26…コネクタワイヤ、27…外部リード、28…樹脂封止体、29…半導体装置部品（ノーマルパターンのパッケージ）、30…実装基板、31…実装基板の上層、32…導体部、33…導体部、34…半導体装置部品（ミラーパターンのパッケージ）、35…実装基板の下層、36…導体部、37…導体部、38…実装基板、39…ノーマルパターンのパッケージ、40…ノーマルパターンのパッケージ、

41…ミラーパターンのパッケージ、42…ミラーパターンのパッケージ、43…リード（ピン）、44…コントロールピン、45…配線部、46…配線部。

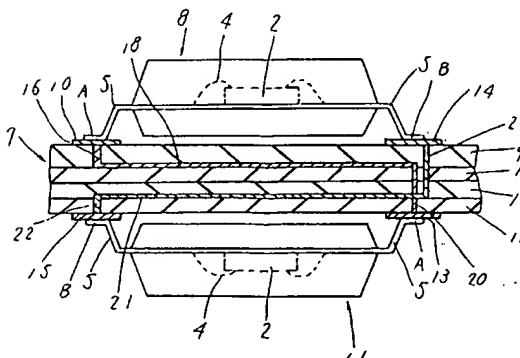
代理人 弁理士 高橋 明 夫



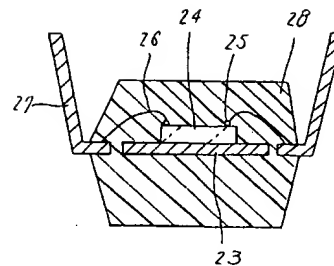
第 1 図



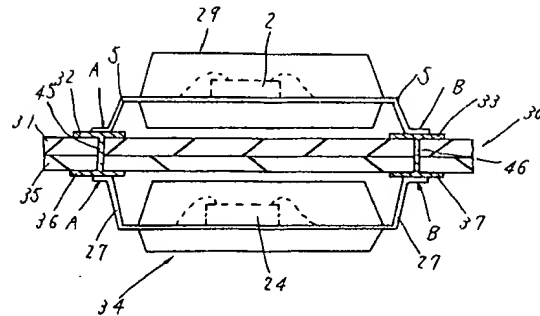
第 2 図



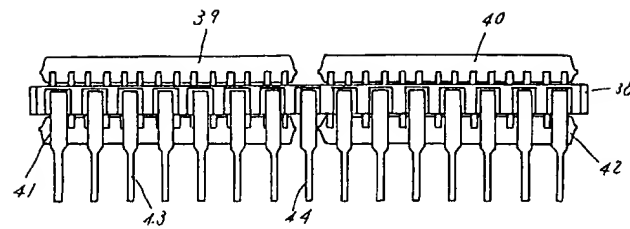
第 3 図



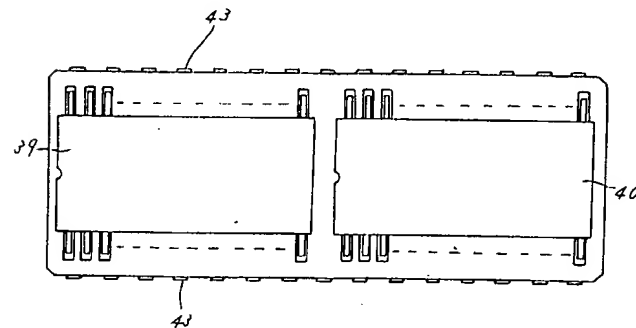
第 4 図



第 5 図



第 6 図



第1頁の続き

⑦発 明 者	津 久 井	誠 一 郎	埼玉県入間郡毛呂山町大字旭台15番地	日立入間電子株式会社内
⑧発 明 者	山 浦	修 一	埼玉県入間郡毛呂山町大字旭台15番地	日立入間電子株式会社内
⑨発 明 者	藤 井	泰 彦	小平市上水本町1479番地	日立マイクロコンピュータエンジニアリング株式会社内
⑩発 明 者	多 田	昌 弘	小平市上水本町1479番地	日立マイクロコンピュータエンジニアリング株式会社内